

## Integrable semiconductor circuit for a frequency divider

Patent number: DE3343573

Publication date: 1985-06-13

Inventor: WILHELM WILHELM DR ING (DE); INCECIK ZAFER DR TECHN (DE)

Applicant: SIEMENS AG (DE)

Classification:

- international: H03K23/30

- european: H03K3/289

Application number: DE19833343573 19831201

Priority number(s): DE19833343573 19831201

Also published as:

EP0144079 (A2)

US4601049 (A1)

JP60136421 (A)

EP0144079 (A3)

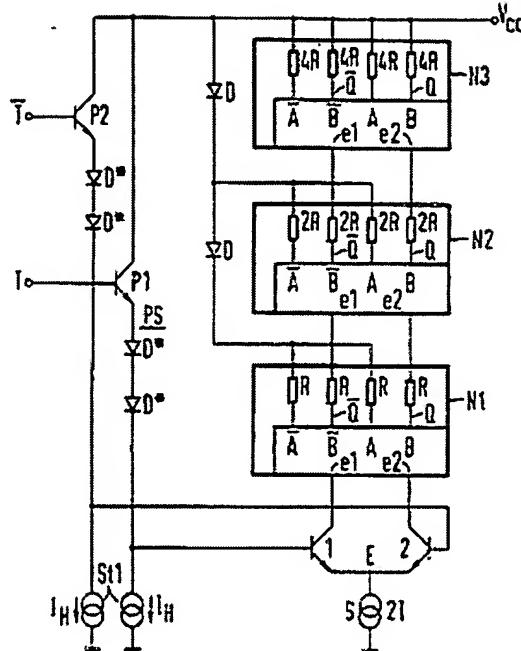
EP0144079 (B1)

[Report a data error here](#)

Abstract not available for DE3343573

Abstract of corresponding document: **US4601049**

An integrable semiconductor circuit for a multi-stage frequency divider having a number of master-slave flip-flop cells constructed in current mode logic forming the individual divider stages which are connected in series to a supply voltage and which are accordingly at different levels of the supply voltage has an input stage to which an input signal at an input frequency, and the inverse thereof, are supplied. The input stage is in the form of a differential amplifier having two identical transistors which are connected to a constant current source. The differential amplifier forms the first divider stage, that is, the first master-slave flip-flop, in combination with a first network including a number of transistors and load resistors. The further divided stages do not require an input circuit, therefore each subsequent stage includes only a network corresponding to the network of the first stage. The outputs of the slave portion of the first network respectively control one of the two inputs of the second network (second divider stage) and so on for each subsequent divider stage. The outputs of the master portion are connected through respective load resistors through respective paths leading to the supply voltage external of the networks. The voltage drop of each path is matched to the voltage drop within the chain of networks leading to the supply voltage.



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

(19) BUNDESREPUBLIK

DEUTSCHLAND

DEUTSCHES  
PATENTAMT

## (12) Offenlegungsschrift

(11) DE 33 43 573 A1

(61) Int. Cl. 3:

H 03 K 23/30

(21) Aktenzeichen: P 33 43 573.1  
 (22) Anmeldetag: 1. 12. 83  
 (43) Offenlegungstag: 13. 6. 85

(71) Anmelder:

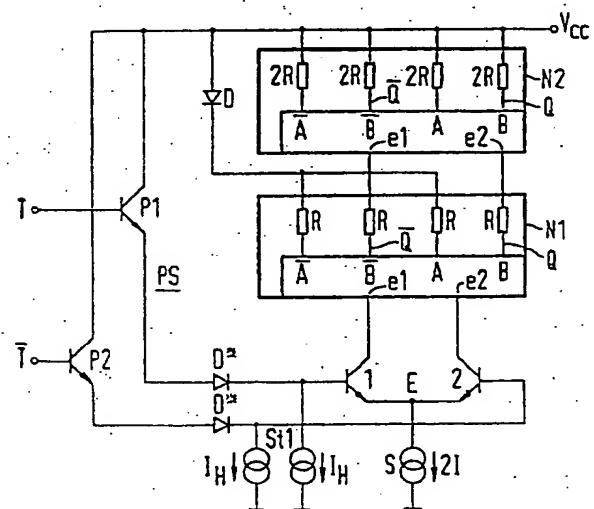
Siemens AG, 1000 Berlin und 8000 München, DE

(72) Erfinder:

Wilhelm, Wilhelm, Dr.-Ing.; Inceçik, Zafer,  
Dr.-Techn., 8000 München, DE

## (54) Integrierbare Halbleiterschaltung für einen Frequenzteiler

Im Interesse der Minderung der Verlustleistung und des schaltungstechnischen Aufwands bei einem zwei- oder mehrstufigen Frequenzteiler wird der gemäß der Erfindung aus in CML-Technik aufgebauten und die einzelnen Teilerstufen bildenden Master-Slave-Flip-Flopzellen bestehende Teiler derart ausgebildet, daß die einzelnen Teilerstufen hinsichtlich der Versorgungsspannung hintereinandergeschaltet sind und sich demgemäß auf verschiedenen Pegeln der Versorgungsspannung befinden. Die aus zwei zueinander invertierten Taktfolgen bestehende Eingangsfrequenz steuert je einen der beiden Eingänge eines aus zwei einander gleichen Transistoren gebildeten und an eine zum Bezugspotential führende Konstantstromquelle gelegten Differenzverstärker, der zusammen mit einem entsprechend ausgestalteten ersten Netzwerk, das aus Transistoren und Lastwiderständen gebildet ist, die erste Teilerstufe, also das erste Master-Slave-Flip-Flop, bildet. Für die weiteren Stufen entfällt die Eingangsschaltung, so daß jede Stufe nur noch aus einem dem Netzwerk der ersten Stufe entsprechenden weiteren Netzwerk besteht. Die dem Slaveteil der ersten Stufe angehörenden Ausgänge steuern je einen der beiden Eingänge des zweiten Netzwerks usw. Die dem Masterteil zugehörigen Ausgänge sind hingegen über den jeweils zugehörigen Lastwiderstand an einen außerhalb der genannten Netzwerke zum Versorgungspotential führenden Weg angeschlossen, dessen Spannungsabfall dem Spannungsabfall innerhalb der zum...



DE 33 43 573 A1

ORIGINAL INSPECTED

BUNDESDRUCKEREI 04. 85 508 024/126

16/60

Patentansprüche

1.) Integrierbare Halbleiterschaltung für einen Frequenzteiler, der mittels nach dem Master-Slave-Prinzip arbeitenden bistabilen Kippstufen unter Verwendung von Transistoren vomselben Typ und Widerständen aufgebaut ist, bei

5 der eine aus den zu verarbeitenden und einander gleichen Impulsen bestehende Signalfolge an den Eingang einer durch einen Differenzverstärker gebildeten Eingangsschaltung gelegt und der Differenzverstärker durch zwei Transistoren gegeben ist, deren Stromeingangselektroden miteinander

10 sowie über eine Konstantstromquelle mit dem das Bezugspotential führenden Versorgungsanschluß verbunden sind, während ihre Stromausgangselektroden über ein aus weiteren Transistoren sowie aus Widerständen gebildetes Netzwerk mit dem das Versorgungspotential führenden Versorgungsanschluß der Schaltung verbunden sind, und bei der schließlich das Netzwerk derart ausgestaltet ist, daß es zusammen mit der Eingangsschaltung eine nach dem Master-Slave-Prinzip arbeitende bistabile Kippstufe ergibt, an deren beiden Ausgängen das von der Kippstufe gelieferte Ergebnis in Form

15 von Impulsen abnehmbar ist, dadurch gekennzeichnet, daß zwischen dem Versorgungsanschluß für das Versorgungspotential ( $V_{CC}$ ) und dem Netzwerk (N1) eine erste Verbindung unter Vermittlung eines dem Netzwerk (N1) schaltungsmäßig entsprechenden zweiten Netzwerks (N2) und eine zweite Verbindung

20 unter Vermittlung eines bezüglich des Spannungsabfalls an das zweite Netzwerk (N2) angeglichenen weiteren Schaltungsteils (D) gegeben ist, daß zur Realisierung der ersten Verbindung die zum Slaveteil der bistabilen Kippstufe gehörigen beiden Ausgänge (B,  $\bar{B}$ ) des ersten Netzwerks (N1) über

25 den jeweils zugehörigen Lastwiderstand (R) im ersten Netzwerk (N1) an je einen der beiden Eingänge (e1, e2) des zweiten Netzwerks (N2), welche den beiden durch die Eingangsschaltung E) beaufschlagten Eingängen (e1, e2) des ersten Netzwerks (N1) entsprechen gelegt, während die

30 Lastwiderstände des zweiten Netzwerks (N2) mit dem An-

35

schluß für das Versorgungspotential ( $V_{cc}$ ) verbunden sind, und daß schließlich zur Realisierung der zweiten Verbindung zwischen dem ersten Netzwerk (N1) und dem Anschluß für das Versorgungspotential die zum Masterteil der bistabilen Kippstufe gehörenden beiden Ausgänge (A,  $\bar{A}$ ) des ersten Netzwerks (N1) über den an das zweite Netzwerk (N2) hinsichtlich des Spannungsabfalls angeglichenen weiteren Schaltungsteil (D) an den Versorgungsanschluß für das Versorgungspotential ( $V_{cc}$ ) gelegt sind.

10

2.) Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, daß der Versorgungsanschluß für das Versorgungspotential ( $V_{cc}$ ) unmittelbar an allen Lastwiderständen (2R) des zweiten Netzwerks (N2) und außerdem an der Anode einer den weiteren Schaltungsteil bildenden Diode (D) liegt, deren Kathode mit den zu den beiden Ausgängen (A,  $\bar{A}$ ) des Mastersteils des ersten Netzwerks (N1) verbunden ist. (Fig.4).

20

3.) Halbleiterschaltung nach Anspruch 1, dadurch gekennzeichnet, daß zwischen dem Versorgungsanschluß für das Versorgungspotential ( $V_{cc}$ ) und dem zweiten Netzwerk (N2) sowohl ein dem ersten Netzwerk (N1) als auch dem zweiten Netzwerk (N2) schaltungsmäßig entsprechendes drittes Netzwerk (N3) vorgesehen und mit seinen Lastwiderständen (4R) unmittelbar an den Anschluß für das Versorgungspotential ( $V_{cc}$ ) gelegt ist, während seine beiden Eingänge (e1, e2) mit je einem der beiden dem Slaveteil des zweiten Netzwerks (N2) zugehörigen Signalausgängen (B,  $\bar{B}$ ) über deren Lastwiderstand (2R) verbunden ist, während die Verbindung der beiden Ausgänge (A,  $\bar{A}$ ) des Mastersteils des ersten Netzwerks (N1) sowie des zweiten Netzwerks (N2) zum Versorgungspotential ( $V_{cc}$ ) durch je eine Diode (D) gegeben ist, indem diese beiden Ausgänge (A,  $\bar{A}$ ) des ersten Netzwerks über den jeweils zugehörigen Lastwiderstand (R) an die Kathode der ersten Diode (D) und die beiden Ausgänge (A,  $\bar{A}$ ) des Mastersteils des zweiten Netzwerks (N2) an die Kathode der zweiten Diode über den jeweils zugehörigen Lastwiderstand (2R).

gelegt und außerdem die Anode dieser zweiten Diode (D) unmittelbar mit dem das Versorgungspotential ( $V_{cc}$ ) führenden Versorgungsanschluß verbunden ist, während die Anode der mit den Masterausgängen (A,  $\bar{A}$ ) des ersten Netzwerks (N1) verbundenen Diode (D) an der Kathode der zweiten Diode (D) liegt. (Fig. 5).

4.) Halbleiterschaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die an den Masterausgängen (A,  $\bar{A}$ ) und an den Slaveausgängen (B,  $\bar{B}$ ) der hintereinander geschalteten Netzwerke innerhalb der einzelnen Netzwerke (N1, N2, N3, ...) übereinstimmende Widerstandswerte haben, daß aber die Widerstandswerte der Lastwiderstände mit wachsendem Abstand des einzelnen Netzwerks von der Eingangsschaltung (E) binär gewichtet sind.

5.) Halbleiterschaltung nach Anspruch 1 und 4, dadurch gekennzeichnet, daß die Verbindung des ersten Netzteils (N1) zum Versorgungspotential ( $V_{cc}$ ) über eine Kette von  $n$  hintereinander geschalteten und dem ersten Netzwerk (N1) in schaltungsmäßiger Hinsicht gleicher Netzwerke (N2, N3, ..., Nn) gegeben ist, daß dabei die dem Slaveteil des in der Kette jeweils vorausgehenden Netzwerks ( $N_{p-1}$ ) zugehörigen beiden Ausgänge (B,  $\bar{B}$ ) über den jeweils zugehörigen Lastwiderstand an die beiden Eingänge (e1, e2) des jeweils folgenden Netzwerks ( $N_p$ ) gelegt sind, während die dem Masterteil des jeweils unmittelbar vorherigen Netzwerks ( $N_{p-1}$ ) gehörenden Ausgänge (A,  $\bar{A}$ ) über den zugehörigen Lastwiderstand und einen hinsichtlich seines Spannungsabfalls an den Spannungsabfall längs des die zugehörigen Slaveausgänge (B,  $\bar{B}$ ) ausschließlich unter Vermittlung der folgenden Netzwerke ( $N_{p+1}, \dots, Nn$ ) verbindenden Schaltungswegs angegliederten Schaltungsteil ebenfalls mit dem Versorgungspotential ( $V_{cc}$ ) verbunden sind.

35

6.) Halbleiterschaltung nach einem der Ansprüche 1, 3 und 5, dadurch gekennzeichnet, daß die Verbindung zwi-

schen den beiden Masterausgängen ( $A, \bar{A}$ ) der einzelnen  
 Netzwerke ( $N_1, N_2, \dots N_{n-1}$ ) zum Versorgungspotential ( $V_{cc}$ )  
 dadurch gegeben ist, daß jedem Netzwerk der Kette mit Aus-  
 nahme des letzten und mit seinen vier Ausgängen ( $A, \bar{A}, B, \bar{B}$ )  
 über dem jeweils zugehörigen Lastwiderstand am Versorgungs-  
 potential ( $V_{cc}$ ) liegenden Netzwerks ( $N_n$ ) jeweils eine Diode  
 (D) zugeordnet ist, die mit ihrer Kathode mit den beiden  
 Ausgängen ( $A, \bar{A}$ ) des Masterteils des betreffenden Netzwerks  
<sup>10</sup> ( $N_2$ ) unter Vermittlung der beiden zu den betreffenden Aus-  
 gängen ( $A, \bar{A}$ ) gehörenden Lastwiderstände ( $R \cdot 2^{(p-1)}$ ) verbun-  
 den ist, während die Anode dieser Diode (D) an die entspre-  
 chenden Ausgänge des jeweils unmittelbar folgenden Netzwerks  
<sup>15</sup> ( $N_{p+1}$ ) unter Vermittlung des dem betreffenden Ausgang ( $A$   
 bzw.  $\bar{A}$ ) des folgenden Netzwerks zugeordneten Lastwider-  
 stands ( $R \cdot 2^p$ ) gelegt ist.

7.) Halbleiterschaltung nach einem der Ansprüche 1 bis 6,  
dadurch gekennzeichnet, daß die zu verarbeitenden Impulse  
 den beiden Eingängen (1, 2) der Eingangsschaltung (E) in  
<sup>20</sup> Form zweier zueinander invertierter Impulsfolgen ( $T$  bzw.  $\bar{T}$ )  
 zugeführt sind, wobei die eine Impulsfolge für den einen  
 Eingang (1) und die andere für den anderen Eingang (2) zu-  
 ständig ist, daß hierzu die eine Impulsfolge ( $T$ ) an die Steu-  
 erelektrode eines Pegelverschiebertransistors (P1) und  
<sup>25</sup> die andere Impulsfolge ( $\bar{T}$ ) an die Steuerelektrode eines  
 weiteren Pegelverschiebertransistors (P2) gelegt ist, de-  
 ren Stromausgangselektrode am Versorgungspotential ( $V_{cc}$ )  
 und deren Stromeingangselektrode über eine Serie von ( $n-1$ )  
 hintereinander geschalteter Dioden ( $D^*$ ) einerseits an  
<sup>30</sup> den zu steuernden Eingang (1, bzw. 2) der Eingangsschaltung  
 (E) und andererseits über je eine Stromquelle an das Bezugspotential  
 gelegt ist, und daß dabei  $n$  die Anzahl der hinter-  
 einander geschalteten Netzwerke ( $N_1, N_2, \dots N_n$ ) bedeutet.

<sup>35</sup> 8.) Halbleiterschaltung nach einem der Ansprüche 1 bis 7,  
dadurch gekennzeichnet, daß sie mit einer ihr gleichen  
 Halbleiterschaltung eine Kette bildet, indem die beiden

zum Slaveteil eines der hintereinander geschalteten Netzwerke ( $N_1, N_2, \dots, N_n$ ) (insbesondere des letzten Netzwerks ( $N_n$ )) gehörenden Ausgänge ( $B, \bar{B}$ ) zur Steuerung je eines der beiden Eingänge (1, 2) des Eingangsteils ( $E$ ) der anderen Halbleiterschaltung verwendet sind.

9.) Halbleiterschaltung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die in ihr verwendeten Transistoren und Dioden durch je einen npn-Transistor gegeben und 10 diese npn-Transistoren einander gleich sind.

Integrierbare Halbleiterschaltung für einen Frequenzteiler

Die vorliegende Erfindung befaßt sich mit einer integrierbaren Halbleiterschaltung für einen Frequenzteiler bzw. einen binären Zähler, der mittels nach dem Master-Slave-Prinzip arbeitenden bistabilen Kippstufen (Flip-Flopzellen) unter Verwendung von Transistoren vomselben Typ und Widerständen aufgebaut ist, bei der eine aus den zu verarbeitenden und einander gleichen Impulsen bestehende Signalfolge an den Eingang einer durch einen Differenzverstärker gebildeten Eingangsschaltung gelegt und der Differenzverstärker durch zwei Transistoren gegeben ist, deren Stromeingangselektroden miteinander sowie über eine Konstantstromquelle mit dem das Bezugspotential (Masse) führenden Versorgungsanschluß verbunden sind, während ihre Stromausgangselektroden über ein aus weiteren Transistoren sowie aus Widerständen gebildetes Netzwerk mit dem das Versorgungspotential führenden Versorgungsanschluß der Schaltung verbunden sind und bei der schließlich das Netzwerk derart ausgestaltet ist, daß es zusammen mit der Eingangsschaltung eine nach dem Master-Slave-Prinzip arbeitende bistabile Kippstufe ergibt, an deren beiden Ausgängen das von der Kippstufe gelieferte Ergebnis in Form von Impulsen abnehmbar ist.

Frequenzteiler bzw. asynchrone Impulszähler dieser Art sind z.B. in "Philips techn. Rdsch. 38, 47-62, 1979, Nr. 2" beschrieben. Sie werden bevorzugt unter Verwendung von Bipolartransistoren, insbesondere vom npn-Typ, hergestellt. Es besteht aber auch die Möglichkeit, sie mit Hilfe von Feldeffekttransistoren, insbesondere mit selbstsperrenden MOS-FET's, aufzubauen. Im Falle der Verwendung von Bipolartransistoren bedeutet der Begriff "Stromeingangselektrode" den Emitteranschluß, der Begriff "Stromausgangselektrode" den Kollektoranschluß, während die Steuerelektrode durch den Basisanschluß des einzelnen Transistors gegeben ist. Wird die

Schaltung mittels Feldeffekttransistoren aufgebaut, so bedeutet der Drainanschluß die Stromausgangselektrode, der Sourceanschluß die Stromeingangselektrode und das Gate die Steuerelektrode.

5

Zu Frequenzteilerschaltungen bzw. Digitalzählerschaltungen der eingangs definierten Art lässt sich nun feststellen, daß die Anforderungen an das dynamische Verhalten bei einer aus mehreren Teiler- bzw. Zählstufen aufgebauten Schaltung hinsichtlich der einzelnen Stufen unterschiedlich sind. 10 Während die erste Stufe die Eingangsfrequenz, d.h. also die höchste Frequenz, zu verarbeiten hat, erhält die zweite Stufe nur die halbe Frequenz und allgemein die  $p$ -te Stufe nur den  $(2^{p-1})$ -ten Teil der Eingangsfrequenz.

15

Es besteht nun die Möglichkeit, gleichzeitig mit der Verinderung der dynamischen Anforderungen längs der Kette von Teiler- bzw. Zählstufen auch die Stromaufteilung auf die einzelnen Stufen zu staffeln, um auf diese Weise eine Verminderung der Gesamtverlustleistung der den Teiler bzw. die Zählerschaltung bildenden Flip-Flopkette zu erreichen. Beispielsweise kann man die einzelnen Stufen der Kette so dimensionieren, daß - ausgehend von der Eingangsstufe - beim Fortschreiten von Stufe zu Stufe entsprechend dem durch die bei 25 der Herstellung angewandte Technologie gegebenen Verlustleistungs-Laufzeitprodukt jeweils eine Halbierung der für den Betrieb der betreffenden Stufe im Vergleich zur jeweils vorangehenden Stufe angestrebt ist.

30 Wie nun gemäß der vorliegenden Erfindung erkannt wurde, gibt es eine Möglichkeit, die Verlustleistung im Vergleich hierzu noch weiter zu reduzieren. Es ist deshalb Aufgabe der Erfindung, eine entsprechende Möglichkeit anzugeben.

35 Erfindungsgemäß ist hierzu eine der eingangs gegebenen Definition entsprechende Halbleiterschaltung derart ausgestaltet, daß zwischen dem Versorgungsanschluß für das Versor-

gungspotential und dem genannten Netzwerk eine erste Verbindung unter Vermittlung eines dem genannten Netzwerk schaltungsmäßig entsprechenden zweiten Netzwerks und eine zweite Verbindung unter Vermittlung eines bezüglich des 5 Spannungsabfalls an das zweite Netzwerk angeglichenen weiteren Schaltungsteils gegeben ist, daß zur Realisierung der ersten Verbindung die zum Slaveteil der bistabilen Kippstufe gehörenden beiden Ausgänge des ersten Netzwerks über den jeweils zugehörigen Lastwiderstand im ersten 10 Netzwerk an je einen der beiden Eingänge des zweiten Netzwerks, welche den beiden durch die Eingangsschaltung beaufschlagten Eingängen des ersten Netzwerks entsprechen, gelegt, während die Lastwiderstände des zweiten Netzwerks mit dem Anschluß für das Versorgungspotential verbunden 15 sind, und daß schließlich zur Realisierung der zweiten Verbindung zwischen dem ersten Netzwerk und dem Anschluß für das Versorgungspotential die zum Masterteil der bistabilen Kippstufe gehörenden beiden Ausgänge des ersten Netzwerks über den an das zweite Netzwerk hinsichtlich des Spannungs- 20 abfalls angeglichenen weiteren Schaltungsteil an den Versorgungsanschluß für das Versorgungspotential gelegt sind.

Bei einer der Erfindung entsprechenden Schaltung für einen Frequenzteiler bzw. Zähler sind somit - im Gegensatz zu 25 den üblichen Schaltungen dieser Art - die die einzelnen Stufen darstellenden Flip-Flopzellen der Frequenzteiler- bzw. Zählerkette nicht in gleicher Weise mit Strom versorgt. Vielmehr sind bei einer der Erfindung entsprechenden Schaltung die einzelnen Teilerstufen, ähnlich den "series-gated 30 CML-Gates" in wenigstens zwei Potentialebenen in Serie geschaltet. Das hat folgende Vorteile:

- 35 a) Der Strom für die zweite und ggf. eine weitere Stufe (bei 5 V Versorgungsspannung) wird aus der ersten Stufe und nicht der Versorgung entnommen, was erfahrungsgemäß zu einer Halbierung der Gesamtverlustleistung führt.
- b) Für die zweite und dritte Stufe wird kein Pegelverschie-

ber (= Pegelshifter) benötigt, was die Halbierung der aufzuwendenden Pegelshifterleistung bedeutet, da dieser nur in der ersten Stufe gebraucht wird.

c) Wegen des Wegfalls von zwei Pegelshifterpaaren ist eine 5 merkliche Verringerung des Aufwands an Bauelementen, also an Transistoren und Widerständen, gegeben.

Die Erfindung wird nun anhand der Figuren näher beschrieben.

10 In Fig. 1 ist das Schaltbild einer Teilerstufe dargestellt, die dem Stand der Technik und der eingangs gegebenen Definition entspricht.

15 In Fig. 2 die in Fig. 1 dargestellte Schaltung dahingehend abgeändert, indem nur eine einzige Eingangschaltung verwendet ist.

20 In Fig. 3 ist die übliche Ausgestaltung eines zweistufigen Frequenztellers dargestellt, der mittels der in Fig. 2 dargestellten Ausgestaltung der verwendeten Master-Slave-Flip-Flopzellen aufgebaut ist.

25 In Fig. 4 ist das Prinzipschaltbild für die vorliegende Erfindung für einen zweistufigen Teiler und in Fig. 5 für einen dreistufigen Teiler im Blockschaltbild gezeigt.

Fig. 6 und Fig. 7 sind Beispiele für eine der Erfindung entsprechende Ausgestaltung eines Frequenztellers im Detail dargestellt.

30 Dabei ist zu bemerken, daß die in den Zeichnungen dargestellten Transistoren ausschließlich bipolare npn-Transistoren sind. Eine Ausgestaltung unter Verwendung anderer Transistorarten, z.B. von pnp-Transistoren oder von MOS-Transistoren ist im Prinzip ebenfalls möglich.

35

Das in Fig. 1 dargestellte Schaltbild eines in CML-Technik

(= Current mode logic) realisierten einstufigen Frequenzteilers gemäß der eingangs gegebenen Definition und gemäß dem Stand der Technik (also eines üblichen Master-Slave-RS-Flip-Flops) enthält zwei durch zueinander invertierte Impulsfolgen  $T$ ,  $\bar{T}$  gesteuerte Eingangsdifferenzverstärker  $Em$  und  $Es$ , von denen der Eingangsteil  $Em$  dem Master-Flip-Flop teil und der Eingangsteil  $Es$  dem Slave-Flip-Flop teil angehört. Der Differenzverstärker  $Em$  besteht aus den beiden Transistoren 1a und 2a, deren Emitter über eine gemeinsame erste Konstantstromquelle  $S1$  mit dem Bezugspotential  $V_{ss}$ , also dem Masseanschluß der Schaltung, verbunden und dadurch mit einem Strom  $I$  versorgt sind. Der den dem Slave teil zu geordneten Eingangsteil  $Es$  besteht aus den beiden Transistoren 1b und 2b, deren Emitter über eine der Stromquelle  $S1$  gleiche zweite Konstantstromquelle  $S2$  am Bezugspotential liegen. Dabei wird der Transistor 1a des ersten Eingangsteils  $Em$  und der Transistor 1b des zweiten Eingangsteils  $Es$  vom Takt  $T$  und der andere Transistor 2a bzw. 2b der beiden Eingangsteile  $em$  und  $Es$  durch den zu  $T$  invertierten Takt  $\bar{T}$  gesteuert. Die beiden Konstantstromquellen  $S1$  und  $S2$  sind in üblicher Weise, z.B. als Ausgangstransistoren eines Stromspiegels ausgestaltet. Dabei können die beiden durch je einen Transistor vom Typ der in der Schaltung verwendeten Transistoren gegebenen Stromquellen  $S1$  und  $S2$  gemeinsam durch einen als Diode geschalteten Stromspiegeleingang gesteuert sein.

Die die beiden Eingangsteile  $Em$  und  $Es$  steuernden beiden Taktfolgen  $T$  und  $\bar{T}$  stellen jeweils die zu teilende Frequenz (oder die zu zählenden Impulse) dar, die durch einen Frequenzgenerator, z.B. einen Rechteckimpulsgenerator mit einem nichtinvertierenden Ausgang und einem invertierenden Ausgang zur Verfügung gestellt sein kann.

Die in Fig. 1 dargestellte Schaltung für ein CML-Master-Slave-Flip-Flopzelle zeigt somit die einander gleichen Eingangsteile  $Em$  und  $Es$ , von denen  $Em$  für den Masterteil und

Es für den Slaveteil zuständig ist.

Hierzu liegt im Masterteil der Kollektor des vom Takt T gesteuerten Transistors 1a des als Stromschalter wirkenden Eingangsteils Em am Emitter zweier weiterer - ebenfalls 5 einen Differenzverstärker bildender - Transistoren 3 und 4. Der vom invertierten Takt  $\bar{T}$  gesteuerte zweite Transistor 2a des Eingangsteils Em liegt mit seinem Kollektor ebenfalls am Emitter zweier weiterer Transistoren 5 und 6, die ebenfalls einen Differenzverstärker bilden. Dabei sind die 10 Transistoren der beiden vom Eingangsteil Em stromgesteuerten weiteren Differenzverstärker über ihre Kollektoren derart zusammengefaßt, daß jeder Transistor des einen der beiden Differenzverstärker mit je einem Transistor des anderen Differenzverstärkers über seinen Kollektor zu einem Paar 15 zusammengefaßt ist und dabei die Kollektoren des jeweiligen Transistorpaars über einen gemeinsamen Lastwiderstand R mit der Klemme für das Versorgungspotential  $V_{cc}$  verbunden sind. Im gezeichneten Beispielsfalle liegt somit der Kollektor des Transistors 3 und des Transistors 5 über gemeinsam ersten Widerstand R und der Kollektor der Transistoren 4 und 6 über einen gemeinsamen zweiten Widerstand R an  $V_{cc}$ . Außerdem ist der Basisanschluß der beiden den einen der beiden zuletzt genannten Differenzverstärker bildenden Transistoren (im gezeichneten Beispielsfall des durch den 25 invertierten Takt  $\bar{T}$  stromgesteuerten Differenzverstärkers aus den Transistoren 5 und 6) jeweils mit dem Kollektor des anderen Transistors dieses Differenzverstärkers verbunden, so daß diese beiden Transistoren (also die Transistoren 5 und 6) zusammen ein RS-Flip-Flop bilden. Die beiden 30 Transistoren des anderen der beiden zuletzt genannten Differenzverstärker (im gezeichneten Beispielsfall die Transistoren 3 und 4 des durch den nichtinvertierten Takt T stromgesteuerten Differenzverstärkers) sind hingegen durch die beiden Ausgänge B,  $\bar{B}$  des Slave-Flip-Flops an ihrem Basisanschluß derart beaufschlagt, daß der eine Transistor (im 35 gezeichneten Fall der Transistor 3) durch den invertieren-

den Ausgang  $\bar{B}$  und der andere Transistor (in Fig. 1 der Transistor 4) an seiner Basis durch den nichtinvertierten Ausgang B des Slave-Flip-Flops gesteuert ist. Andererseits bilden die Knoten an den beiden Lastwiderständen R des Master-5 teils je einen Ausgang des Master-Flip-Flops, wobei der am einen Transistor jedes der beiden Differenzverstärker 3, 4 bzw. 5, 6 liegende Knoten jeweils zueinander invertierte Ausgänge bilden. In Fig. 1 bilden somit die Kollektoren der Transistoren 3 und 5 den Ausgang A und die Kollektoren 10 der Kollektoren 4 und 6 den Ausgang  $\bar{A}$  des Master-Flip-Flops.

In gleicher Weise ist der Slaveteil der Teilerstufe im Prinzip ausgestaltet. Hier ist jedoch der durch den nichtinvertierten Takt T gesteuerte Transistor 1b der zugehörigen Eingangsschaltung Es zur Beaufschlagung des als RS-Flip-Flop 15 weiter gestalteten Differenzverstärkers vorgesehen, der wie aus Fig. 1 ersichtlich, aus den Transistoren 9 und 10 besteht. Hierzu ist durch Kreuzkopplung eine leitende Verbindung zwischen der Basis des Transistors 9 mit dem Kollektor des Transistors 10 sowie eine leitende Verbindung 20 zwischen der Basis des Transistors 10 mit dem Kollektor des Transistors 9 geschaffen. Außerdem liegt der Kollektor des Transistors 9 einerseits über einen Lastwiderstand R am Versorgungspotential  $V_{cc}$  und anderseits 25 am Kollektor des Transistors 7, der zu dem vom invertierten Takt  $\bar{T}$  über den Transistor 2b der Eingangsschaltung Es stromgesteuerten Differenzverstärker aus den emittgekoppelten Transistoren 7 und 8 gehört. Dabei liegt außerdem der Kollektor des Transistors 8 am Kollektor des 30 Transistors 10 und außerdem über einen weiteren Lastwiderstand R am Versorgungspotential  $V_{cc}$ . Er bildet außerdem den invertierten Ausgang  $\bar{B}$  des Slave-Flip-Flops. Der nichtinvertierte Ausgang des Slave-Flip-Flops ist durch den Kollektor der Transistoren 7 und 9 gegeben, der über einen weiteren Lastwiderstand R im Slaveteil am Versorgungspotential 35 liegt. Die Basisanschlüsse der beiden Transistoren 7 und 8 des vom invertierten Takt  $\bar{T}$  im Slaveteil stromge-

steuerten Differenzverstärkers 7, 8 bilden den von den beiden Ausgängen A und  $\bar{A}$  des Masterteils gesteuerten Eingang des Slaveteils. Hierzu liegt die Basis des Transistors 7 am invertierenden Ausgang  $\bar{A}$ , also am Kollektor der Transistoren 4 und 6 im Masterteil. Die Basis des Transistors 8 ist mit dem nichtinvertierenden Ausgang A des Masterteils, also mit dem Kollektor der Transistoren 3 und 5 verbunden. Umgekehrt liegt zur Realisierung einer Rückkopplung des Slaveteils auf den Masterteil der Kollektor der Transistoren 8 und 10, also der Ausgang B, an der Basis des Transistors 4 sowie der Kollektor der Transistoren 7 und 9, also der Ausgang  $\bar{B}$  an der Basis des Transistors 3 im Masterteil.

Man kann nun, wie aus Fig. 2 ersichtlich, die beiden Eingangsteile Em und Es zu einem einzigen Eingangsteil E zusammenfassen, der dann von der ihm zugehörigen Konstantstromquelle S mit dem doppelten Strom  $2I$  im Vergleich zu dem von jeder der beiden Stromquellen S1 und S2 der Schaltung gemäß Fig. 1 gelieferten Strom I beaufschlagt wird, vorausgesetzt, daß die Lastwiderstände R und die Transistoren 3 bis 10 der Schaltung gemäß Fig. 1 unverändert übernommen werden und die Transistoren 1 und 2 des Eingangsteils E mit den Transistoren 1a, 1b, 2a, 2b der Eingangsteile Em und Es übereinstimmen. Es ergibt sich dann automatisch die aus Fig. 2 ersichtliche Anschaltung der Transistoren 4, 6, 8 und 9 an den vom Takt T gesteuerten Transistor 1 (der den beiden Transistoren 1a und 1b gemäß Fig. 1 entspricht) sowie die Anschaltung der Transistoren 3, 5, 7, 10 an den Transistor 2 im Eingangsteil E.

Man erkennt nun, daß die Gesamtheit der Transistoren 3 - 10 und die vier Lastwiderstände R eine Art Netzwerk N bilden, das über die Lastwiderstände R an das Versorgungspotential  $V_{cc}$  und über seinen ersten Eingang e1 (der durch die Emitter der Transistoren 4, 9, 3 und 10 gegeben ist) an den Kollektor des durch T gesteuerten Transistors 1 und über seinen zweiten Eingang e2 (der durch die Emitter

der Transistoren 5, 6, 7 und 8 gegeben ist) an den Kollektor des durch den invertierten Takt  $\bar{T}$  gesteuerten Transistors 2 des den Eingangsteil E bildenden Differenzverstärkers gelegt ist. Auf diese Sachlage geht die eingangs gegebene Definition zurück. Jede dieser Master-Slave-Flip-Flopzellen entsprechend Fig. 1 bzw. Fig. 2 stellt einen 1:2-Teiler oder auch eine binäre Zählerstufe dar.

Will man nun unter Verwendung der in Fig. 2 dargestellten 10 Master-Slave-Flip-Flopzelle in der üblichen Weise einen zweistufigen Teiler, also einen 1:4-Teiler, herstellen, so legt man die beiden Ausgänge B bzw.  $\bar{B}$  des Slaveteils einer ersten Teilerstufe (die in üblicher Weise mit Q bzw.  $\bar{Q}$  bezeichnet werden) an den Eingang einer zweiten Teilerstufe, der durch die Basisanschlüsse der beiden Transistoren 1 und 2 im Eingangsteil der zweiten Stufe gegeben ist. Dabei benötigt man jedoch eine zwischen geschaltete Pegelverschiebungsanlage, wie sie in Fig. 3 dargestellt ist.

20 Wie aus Fig. 3 ersichtlich liegt dann der Q-Ausgang des ersten Master-Slave-Flip-Flops, dessen Teilernetzwerk mit N1 bezeichnet ist, an der Basis eines Pegelverschiebungstransistors P3, der in Kollektorschaltung betrieben und 25 her mit seinem Kollektor an die Klemme für das Versorgungspotential  $V_{cc}$  gelegt ist. (Der Q-(oder B)-Ausgang ist, wie bereits festgestellt, durch den Kollektor der Transistoren 8 und 10 im Slave-Flip-Flop gegeben.) Der  $\bar{Q}$ -Ausgang (oder  $\bar{B}$ -Ausgang) des ersten Master-Slave-Flip-Flops (der durch den Kollektor der Transistoren 7 und 9 im Slaveteil 30 gegeben ist) liegt ebenfalls an der Basis eines zweiten Pegelverschiebertransistors P4, dessen Kollektor ebenfalls an  $V_{cc}$  liegt. Beide Pegelverschiebertransistoren P3 und P4 liegen am Ausgang je einer Konstantstromquelle St2, deren Fußpunkt durch das Bezugspotential (Masse) gegeben ist. Bei 35 den Pegelverschiebertransistoren P3 und P4 und die beiden zugehörigen Stromquellen St2 bilden die die Beaufschlagung des Eingangsteils E der zweiten Frequenzteilerstufe vermit-

telnde Pegelverschiebungsanlage PS2, wobei der vom Q-Ausgang der ersten Stufe gesteuerte Transistor P3 mit seinem Emitter zur Steuerung des Transistors 1 (er liefert also den Takt T für die zweite Stufe) und der vom  $\bar{Q}$ -Ausgang gesteuerte Transistor P4 mit seinem Emitter zur Steuerung des Transistors 2 (er liefert also den Takt  $\bar{T}$ ) der Eingangsschaltung E der zweiten Teilerstufe vorgesehen ist. Das Netzwerk der zweiten Teilerstufe ist mit Rücksicht auf die nun folgenden und der Beschreibung der Erfindung dienenden Figuren mit N2, das Netzwerk der ersten Teilerstufe mit N1 bezeichnet. Es empfiehlt sich nämlich im Interesse der Verminderung der Verlustleistung die Lastwiderstände in den aufeinanderfolgenden Stufen binär zu wichten, so daß im gezeichneten Beispielsfall das Netzwerk N2 der zweiten Stufe mit Lastwiderständen ausgestattet ist, die den doppelten Widerstandswert der Lastwiderstände der ersten Teilerstufe haben. Sie sind demgemäß mit "2R" bezeichnet. Man kann aber auch, falls dies aus irgend einem Grund erwünscht sein sollte, von einer Wichtung der Lastwiderstände in den aufeinanderfolgenden Teilerstufen absehen.

Die an die Basis der Transistoren 1 und 2 des Eingangs E der ersten Teilerstufe vorgesehenen Impulse werden im allgemeinen ebenfalls über eine solche Pegelverschiebungsschaltung PS1 der ersten Stufe zugeführt. Die dort verwendeten Transistoren P1 und P2 sind ebenfalls mit ihrem Emitter über je eine Stromquelle St1 mit der Klemme für das Bezugspotential (Masse) und mit ihrem Kollektor unmittelbar mit der Klemme für das Versorgungspotential  $V_{cc}$  verbunden, während der von der zu verarbeitenden Taktfolge T gesteuerte Transistor P1 mit seinem Emitter an der Basis des Transistors 1 und der von der invertierten Taktfolge  $\bar{T}$  gesteuerte Pegelverschiebertransistor P2 mit seinem Emitter an der Basis des Transistors 2 der Eingangsschaltung E der ersten Teilerstufe liegt. Festzustellen ist dabei, daß die zur Beaufschlagung des der ersten Teilerstufe zu-

geordneten Pegelverschiebers PS1 vorgesehenen beiden Stromquellen einen Strom  $I_H$  liefern, der in beiden Fällen gleich ist. Die zur Beaufschlagung des der zweiten Teilerstufe PS2 zugeordneten beiden Stromquellen St2 liefern demgegenüber nur den Strom  $I_H/2$  an den Transistor P3 bzw. P4. Wäre noch eine dritte Teilerstufe vorgesehen, so wäre deren Eingang in gleicher Weise von den Ausgängen Q und  $\bar{Q}$  der zweiten Teilerstufe gesteuert, wie der Eingang der zweiten Stufe durch die beiden Ausgänge Q und  $\bar{Q}$  der ersten Stufe gemäß Fig. 3 beaufschlagt ist.

Die zugehörigen Stromquellen des dann die beiden Ausgänge der zweiten Stufe mit dem Eingang E der dritten Stufe verbindenden weiteren Pegelverschiebers führen dann den Strom  $I_H/4$ . Diese abnehmende Wichtung der Stromspeisung der Pegelverschiebungstransistoren führt einerseits zu einer Verminderung der Verlustleistung ebenso wie die Wichtung der Lastwiderstände in den Netzwerken der aufeinanderfolgenden Teilerstufen. Sie führt aber auch zu einer Verlangsamung der einzelnen Stufen im Vergleich zu der jeweils vorangehenden Stufe, was aber in anbetracht der jeweils von der betreffenden Stufe zu verarbeitenden Frequenz nicht störend ist. Die vier Lastwiderstände einer dritten Teilerstufe hätten unter den gebrachten Gesichtspunkten jeweils den Widerstandswert 4R.

Bei einer der Erfindung entsprechenden Ausgestaltung eines Frequenzteilers hat man, wie aus Fig. 4 bzw. Fig. 5 ersichtlich, nur einen der Eingangsstufe zugeordneten Pegelverschieber, während die zweite Stufe und eventuell weitere vorgesehene Stufen ohne einen solchen Pegelverschieber auskommen. Allerdings empfiehlt es sich den Eingangspiegelverschieber PS dann an die Zahl der vorgesehenen Teilerstufen anzupassen, was durch in den Emitterzweigen der beiden Pegelverschiebungstransistoren P1 und P2 vorgesehenen Dioden D\* in noch zu beschreibender Weise geschehen kann.

Wie aus Fig. 4 ersichtlich hat man bei einem zweistufigen Frequenzteiler gemäß der Erfindung einen durch eine Konstantstromquelle S mit dem Strom  $2I$  beaufschlagten Eingangsteil E, der entsprechend Fig. 2 bzw. 3 durch die 5 beiden einen emittergekoppelten Differenzverstärker bildenden Transistoren 1 und 2 gegeben ist. Der durch die auszuwertende Taktfolge T gesteuerte Transistor 1 liegt dabei am Eingang e1 des zugehörigen Netzwerks N1, der durch die Emitter der Transistoren 3, 4, 9 und 10 gegeben ist. 10 Der durch den invertierten Takt  $\bar{T}$  gesteuerte Transistor 2 der Eingangsschaltung E liegt mit seinem Kollektor am Eingang e2 des Netzwerks N2, der durch die Emitter der Transistoren 5, 6, 7 und 8 gegeben ist. (In den Fig. 4 und 5 sind die in den einzelnen Netzwerken vorgesehenen 15 Transistoren 3 - 10 jeweils zu einem Block zusammengefaßt, wobei die dem Masterteil und dem Slaveteil zugehörigen Ausgänge A,  $\bar{A}$ , B,  $\bar{B}$  bzw. Q und  $\bar{Q}$  sowie die beiden Eingänge e1 und e2 angegeben sind. Die den vier Ausgängen jeweils zugeordneten Lastwiderstände sind hingegen auch in 20 Fig. 4 und 5 gezeichnet und mit einer die jeweilige Wichtigkeit ersichtlich machenden Bezeichnung R bzw.  $2R$  usw. versehen.)

Die zu teilende Taktfolge T bzw.  $\bar{T}$  liegt entweder unmittelbar oder besser (wie in Fig. 4 bzw. 5 dargestellt) unter Vermittlung eines Pegelverschiebungstransistors P1 bzw. 25 P2 und je einer Diode  $D^*$  an der Basis des Eingangstransistors 1 bzw. 2 der Eingangsschaltung E. Dabei liegt die Anode der Diode  $D^*$  in beiden Fällen am Emitter des zugehörigen Pegelverschiebungstransistors P1 bzw. P2 und ihre 30 Kathode im Falle der Beaufschlagung durch die Taktfolge T an der Basis des Transistors 1 bzw. im Falle der Beaufschlagung durch die invertierte Taktfolge  $\bar{T}$  an der Basis des Transistors 2 der Eingangsschaltung E. Außerdem ist die Basis der Transistoren 1 und 2 jeweils über eine Konstantstromquelle  $S_1$  mit dem Strom  $I_H$  versorgt, wie dies auch 35 bei einer Schaltung gemäß Fig. 3 für die erste Stufe der

Fall ist.

Wesentlich für die Erfindung ist nun, daß - wie aus Fig. 4 bzw. Fig. 5 ersichtlich - das die erste Teilerstufe bildende und von dem einzigen vorgesehenen Eingangsteil E mit der zu verarbeitenden Taktfolge T bzw.  $\bar{T}$  beaufschlagte erste Netzwerk N1 mit seinem durch den Kollektor der Transistoren 8 und 10 gegebenen Ausgang B (also Q) dadurch zur Steuerung des die zweite Stufe bildenden Netzwerks N2 eingesetzt ist, indem dieser Ausgang über den zugehörigen Lastwiderstand R mit dem Eingang e1 des Netzwerks N2 verbunden ist. In entsprechender Weise ist der durch die Kollektoren der Transistoren 7 und 9 des Netzwerks N1 der ersten Stufe gegebene Ausgang  $\bar{B}$  des Slaveteils dieser Stufe über den zugehörigen Lastwiderstand R mit dem Eingang e2 des die zweite Stufe bildenden Netzwerks N2 verbunden. Andererseits liegen die beiden dem Masterteil der ersten Stufe N1 zugeordneten Ausgänge A und  $\bar{A}$  über den jeweils zugehörigen Lastwiderstand R an der Kathode einer Diode D, deren Anode unmittelbar mit der Kelle für das Versorgungspotential  $V_{cc}$  verbunden ist.

Die vier Ausgänge A,  $\bar{A}$ , B,  $\bar{B}$  des die zweite Teilerstufe bildenden Netzwerks N2 liegen über den über den jeweils zugehörigen Lastwiderstand 2R am Versorgungspotential  $V_{cc}$ . Die beiden Ausgänge B und  $\bar{B}$  des Slaveteils in beiden Netzwerken N1 bzw. N2 bilden den Q- bzw.  $\bar{Q}$ -Ausgang der ersten bzw. der zweiten Teilerstufe der in Fig. 4 dargestellten Ausgestaltung der Erfindung. Schließlich ist noch zu erwähnen, daß auch die Kollektoren der beiden Pegelverschiebetransistoren P1 und P2 unmittelbar am Bezugspotential  $V_{cc}$  liegen. Die vier Lastwiderstände haben bei der Ausgestaltung gemäß Fig. 4 bzw. Fig. 5 in dem die erste Stufe bildenden Netzwerk N1 jeweils den Wert R, im Netzwerk, das die zweite Teilerstufe bildet, den Wert 2R und im Falle des Vorhandenseins einer dritten Stufe darstellenden Netzwerks N3 (wie im Falle von Fig. 5) den Wert 4R usw..

Diese Wichtung entspricht auch dem üblichen Vorgehen bei der Schaltung gemäß Fig. 3.

Beide Stufen der in Fig. 4 dargestellten Schaltung für 5 einen zweistufigen Frequenzteiler teilen die angelegte Eingangsfrequenz  $T$  bzw.  $\bar{T}$  durch vier, so daß am Q-Ausgang bzw. am  $\bar{Q}$ -Ausgang des Netzwerks N2 eine Taktfolge  $T/4$  bzw.  $\bar{T}/4$  abgenommen werden kann. Für jede zusätzliche Stufe wird die Spannung einer Diodenstrecke benötigt, wie dies 10 auch durch die Überbrückungsdiode zum Ausdruck gebracht ist.

Bei 5 V Versorgungsspannung können, wenn der als Stromschalter wirkende Eingangsteil E und die Stromquelle S berücksichtigt werden, bis zu drei Stufen in Serie geschaltet werden, wie dies aus Fig. 5 ersichtlich ist. Damit hat man dann einen 1:8-Teiler.

Bei der in Fig. 5 im Blockschaltbild gezeigten Ausgestaltung eines der Erfindung entsprechenden dreistufigen Teilers entspricht die Anschaltung der zweiten Stufe N2 an die erste Stufe N1 der in Fig. 4 gezeigten Schaltung. Jedoch liegen die Lastwiderstände der zweiten Stufe N2 nicht 20 an der Klemme für das Versorgungspotential  $V_{cc}$  wie im Falle von Fig. 4, sondern in einer den Ausgängen der Eingangsstufe N1 entsprechenden Weise an den Eingängen e1 und e2 der dritten Stufe N3. Erst die Lastwiderstände dieser dritten Stufe, 25 die alle den vierfachen Grundwert, also den Widerstandswert  $4R$  haben und dementsprechend bezeichnet sind, liegen an der Klemme für das Versorgungspotential  $V_{cc}$ . Die Lastwiderstände  $2R$  der zweiten Stufe, also des Netzwerks N2, sind hingegen 30 in einer dem Netzwerk N1 in Fig. 4 entsprechenden Weise geschaltet. Dies bedeutet, daß die Ausgänge A und  $\bar{A}$  über den jeweils zu gehörigen Lastwiderstand  $2R$  an die Kathode der zu N2 gehörende Diode D gemeinsam angeschlossen sind, deren Anode an der Klemme für das Versorgungspotential  $V_{cc}$  liegt. Andererseits liegen der Slaveausgang B über den zugehörigen Lastwiderstand 35  $2R$  am Eingang e1 und der Slaveausgang  $\bar{B}$  am Eingang e2 des die dritte Teilerstufe bildenden Netzwerks N3. Schließlich

ist die mit ihrer Kathode über den jeweiligen Lastwiderstand  $R$  an die beiden Ausgänge  $A$  und  $\bar{A}$  des Master-Flip-Flops der ersten Teilerstufe  $N_1$  liegende Diode - im Gegensatz zu Fig. 4 mit ihrer Anode nicht unmittelbar an das Versorgungspotential  $V_{cc}$  angeschlossen sondern liegt an den beiden Ausgängen  $A$  und  $\bar{A}$  des Master-Flip-Flops der zweiten Stufe unter Vermittlung der diesen beiden Ausgängen  $A$  und  $\bar{A}$  jeweils angehörenden Lastwiderstände  $2R$  der zweiten Stufe  $N_2$ . Somit bilden die beiden Dioden  $D$  der Ausgestaltung gemäß Fig. 5 die aus Fig. 5 ersichtliche Reihenschaltung. Um außerdem dem im Vergleich zur Schaltung gemäß Fig. 4 höheren Spannungsabfall bei einer Schaltung gemäß Fig. 5 auch im Pegelverschieber PS Rechnung zu tragen sind im Falle des dreistufigen Teilers gemäß Fig. 5 die Emitter der beiden Pegelverschiebungstransistoren  $P_1$  und  $P_2$  jeweils über ein Paar gleichgerichteter Dioden  $D^*$  mit der jeweils zugeordneten Konstantstromquelle  $St_1$  verbunden.

Man erkennt aufgrund der bisherigen Beschreibung unmittelbar, daß man zur Realisierung eines  $1:2^{(n+1)}$ -Teilers eine Anzahl  $n$  von Netzwerken der beschriebenen Art hintereinanderschalten kann, die von einem gemeinsamen Eingangsteil  $E$  gesteuert werden. Die Versorgungsspannung muß allerdings der Anzahl der hintereinander geschalteten Netzwerke in der bereits oben angedeuteten Weise angepaßt werden. In Verallgemeinerung der anhand von Fig. 4 und 5 hat man dann folgende Merkmale:

- a) Die letzte Stufe, also das Netzwerk  $N_n$ , liegt mit allen ihren Lastwiderständen an der Klemme für das Versorgungspotential.
- b) Mit Ausnahme des vom Eingangsteil  $E$  gesteuerten Netzwerks  $N_1$  liegen alle übrigen Netzwerke mit ihrem Eingang  $e_1$  über einen zum vorherigen Netzwerk gehörenden Lastwiderstand am  $Q$ -Ausgang (=  $B$ ) der jeweils vorherigen Stufe. Ebenso liegen sie mit ihrem Eingang  $e_2$  über einen Lastwiderstand des vorherigen Netzwerks an dessen  $\bar{Q}$ -Ausgang (=  $\bar{B}$ ).

c) Die Lastwiderstände der verschiedenen Netzwerke sind binär gewichtet. Ist in der mit dem am Eingangsteil E liegenden Netzwerk N1 beginnenden Nummerierung das betrachtete Netzwerk das  $p$ -te Netzwerk (also das Netzwerk  $N_p$ ), so sind 5 dessen vier Lastwiderstände auf den Wert  $2^p \cdot R$  eingestellt, wobei der Grundwert der Lastwiderstände, d.h. der Widerstandswert der Lastwiderstände des ersten Netzwerks N1, mit R bezeichnet ist.

10 d) Jedem der in der Kette vorgesehenen Netzwerke  $N_p$  ist je eine Diode D zugeordnet, deren Kathode an die beiden zum Masterteil gehörenden Ausgänge A bzw.  $\bar{A}$  des jeweils vorangehenden Netzwerks  $N(p-1)$  der Kette unter Verwendung je eines Lastwiderstands des Netzwerks  $N(p-1)$  (also eines 15 Lastwiderstands vom Wert  $2^{p-1} \cdot R$ ) gelegt ist, während ihre Anode an die beiden zum Masterteil des Netzwerks  $N_p$  gehörenden Ausgänge - ebenfalls unter Verwendung eines Lastwiderstands und zwar diesmal des Netzwerks  $N_p$  (also eines Widerstands  $2^p \cdot R$ ) - a und  $\bar{A}$  geschaltet ist.

20 e) Der Emitter der beiden Pegelverschiebungstransistoren P1 und P2 ist durch die Reihenschaltung von  $(n-1)$  Dioden  $D^*$  mit dem jeweils zugehörigen Eingang 1 bzw. 2 des Eingangsteils E als auch mit dem Ausgang der zugehörigen Stromquelle St1 verbunden, wie dies auch aus Fig.4 bzw. 5 für den Fall  $n = 2$  bzw.  $n = 3$  ersichtlich ist.

30 Es ist verständlich, daß anstelle der Überbrückungsdioden D für den die einzelnen Netzwerke überbrückenden Schaltungsteile auch ggf. andere bezüglich des Spannungsabfalls und dessen Temperaturgang dem Netzwerk entsprechende andere Schaltungsteile, z.B. je ein zweites Netzwerk, werden könnte, z.B. wenn man noch zusätzlich phasenverschobene 35 geteilte Taktfolgen ableiten möchte. Im allgemeinen stellen jedoch Dioden, die durch je einen als Diode geschalteten Transistor gegeben sind, das Optimum dar.

Bei der in Fig. 6 gebrachten detaillierten Darstellung eines zweistufigen Frequenzteilers gemäß der vorliegenden Erfindung ist dies der Fall. Dort sind auch die Stromquelle S für den Eingangsteil E und die beiden Stromquellen St1 für den Pegelverschieber PS durch je einen npn-Transistor dargestellt, der über einen Emitterwiderstand r bzw. r1 mit dem Bezugspotential (Masse) verbunden ist wobei die Basisanschlüsse der drei Stromquellentransistoren S bzw. St1 von einem gemeinsamen Potential  $U_B$  angesteuert und die Ausgänge durch den Kollektor des jeweiligen Stromquellentransistors gegeben sind. Durch die Bemessung der Emitterwiderstände r bzw. r1 werden dann die Ströme  $2I$  bzw.  $I_H$  eingestellt.

15 Hinsichtlich der Ansteuerung des die erste Teilerstufe bildenden ersten Netzwerks N1 durch die Eingangsstufe E besteht Übereinstimmung mit Fig. 4 bzw. Fig. 5. Hingegen werden Master und Slave der zweiten Teilerstufe von der ersten Teilerstufe getrennt angesteuert, was mitunter erwünscht sein kann. Dies bedeutet, daß der Ausgang B über einen ersten Lastwiderstand 2R den durch die Emitter der Transistoren 3 und 10 gegebenen Teil  $e1'$  und über einen zweiten Lastwiderstand 2R den Teil  $e1''$  des Eingangs e1 des Netzwerks N2 ansteuert, der durch die Emitter der Transistoren 4 und 9 gegeben ist. In entsprechender Weise ist auch der Eingang e2 des zweiten Netzwerks N2 in zwei Teileingänge  $e2'$  und  $e2''$  aufgespalten, die über je einen Lastwiderstand 2R mit dem Ausgang  $\bar{B}$  des ersten Netzwerks N1 verbunden sind. Bei der Ausgestaltung gemäß Fig. 6 hat also das Netzwerk N1 30 vier Lastwiderstände 2R und zwei Lastwiderstände R. Letztere dienen der Verbindung der Masterausgänge A und  $\bar{A}$  zur Überbrückungsdiode D, die durch einen als Diode geschalteten Transistor gegeben ist. Dasselbe ist für die Dioden D\* im Pegelshifter PS der Fall. Die Aufspaltung der Eingänge e1 und e2 und der zugehörigen Lastwiderstände R in zwei "parallele Lastwiderstände" 2R ist jedoch im allgemeinen nicht erforderlich.

Bei dem detaillierten Schaltbild gemäß Fig. 7 handelt es sich um einen zweistufigen Teiler gemäß der Erfindung, bei dem der Eingangsteil E entsprechend Fig. 1 in einen für die Steuerung des Masterteils zuständigen Teil Em und in einen für die Steuerung des Slaveteils zuständigen Teil Es

5 aufgespaltet ist. Die Steuerung der Transistoren 3 - 10 im Netzwerk N1 der ersten Stufe entspricht völlig den aus Fig. 1 ersichtlichen Verhältnissen, während für die Steuerung des die zweite Stufe bildenden Netzwerks N2 die Ausgänge B und  $\bar{B}$  des ersten Netzwerks über die zuständigen

10 Lastwiderstände R zuständig sind. Die Ausgänge A und  $\bar{A}$  liegen über die zugehörigen Lastwiderstände und über die Diode D am Versorgungspotential  $V_{cc}$ , das auch für die Versorgung der Kollektoren der Widerstände 3 - 10 im Netzwerk N2 der zweiten Teilerstufe zuständig ist. Die die beiden Eingangsschaltungsteile Em und Es steuernden Taktimpulsfolgen T und  $\bar{T}$  werden zweckmäßig über einen (nicht gezeichneten) Pegelverschieber PS zugeführt, der entsprechend Fig. 4 bzw. Fig. 6 ausgebildet ist.

15

20 Man kann nun ohne weiteres unter Anwendung der Erfindung einen Teiler entsprechend der vorliegenden Erfindung, z.B. entsprechend Fig. 4 oder Fig. 5 dazu verwenden, daß die z.B. am Q-bzw.  $\bar{Q}$ -Ausgang seiner letzten Stufe N2 bzw. N3 abgegebenen Impulse - insbesondere eines Eingangsspeigelverschiebers PS - die Takte T und  $\bar{T}$  für die Eingangsschaltung E eines weiteren Frequenzteilzers, insbesondere eines Frequenzteilzers nach der Erfindung verwendet werden, der seinerseits unabhängig von dem steuernden Frequenzteiler an das Versorgungspotential  $V_{cc}$  gelegt ist. Beispielsweise kann man auf diese Weise eine beliebige Anzahl n von

25 Fig. 4 entsprechenden, also aus den Netzwerken N1 und N2 und dem zugehörigen Eingangsteil E bestehenden Anordnungen kettenförmig unter Zwischenschaltung je eines Pegelverschiebers PS hintereinander schalten, um auf diese Weise einen

30

35  $1:4^n$ -Teiler zu erhalten.

3343573

- 19 -

VPA 83 P 1918 DE

Schließlich ist noch zu erwähnen, daß jede der der Erfindung entsprechende Schaltung auch asynchroner binärer Zähler vom Ripple-carry-Typ verwendet werden kann.

7 Figuren

9 Patentansprüche

- 25 -  
- Leerseite -

1/6

83 P 213 DE

FIG. 1

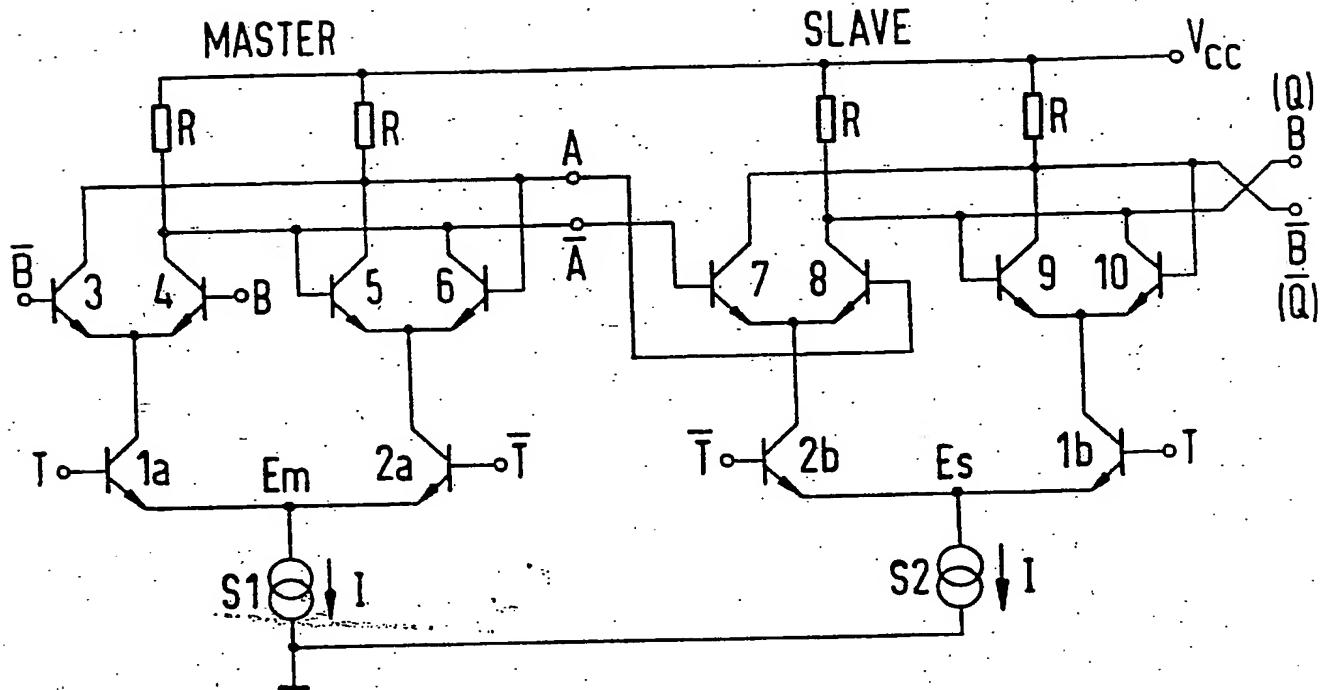
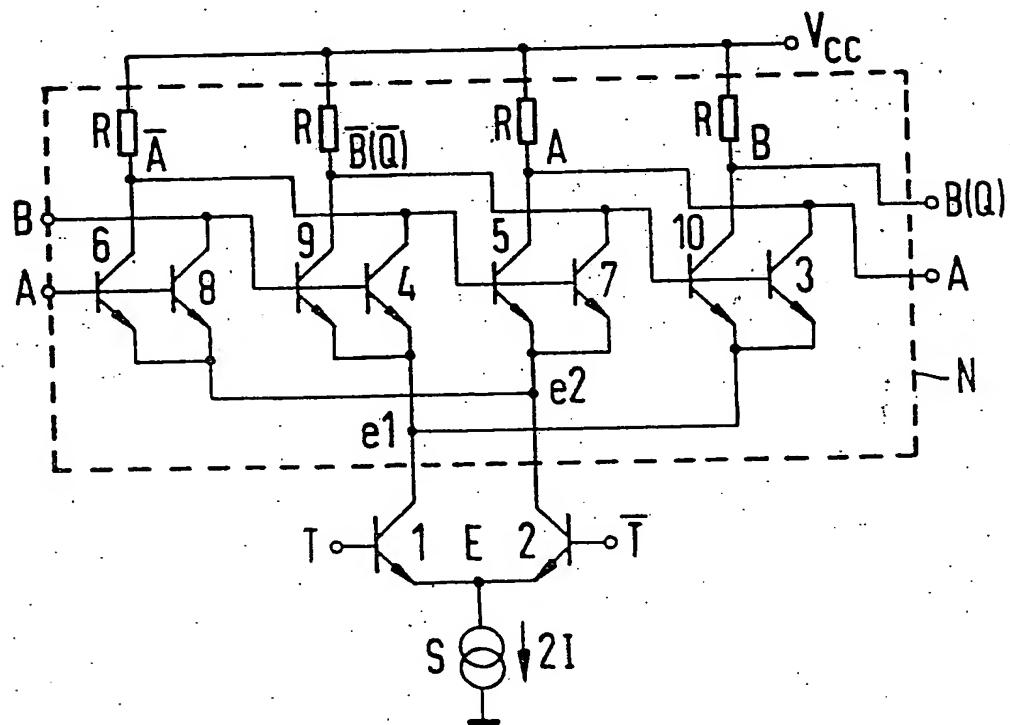


FIG 2



3  
E  
F

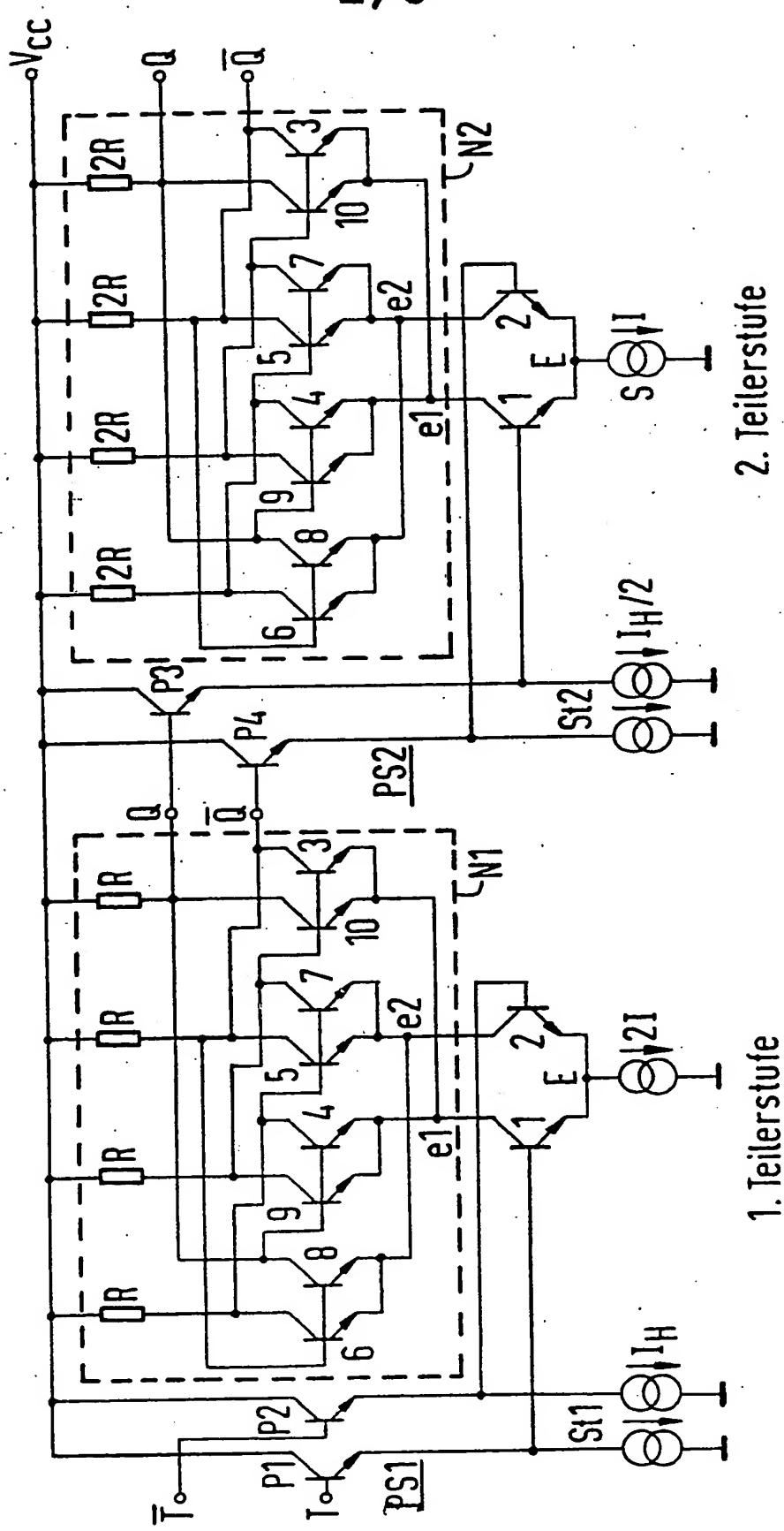


FIG 4

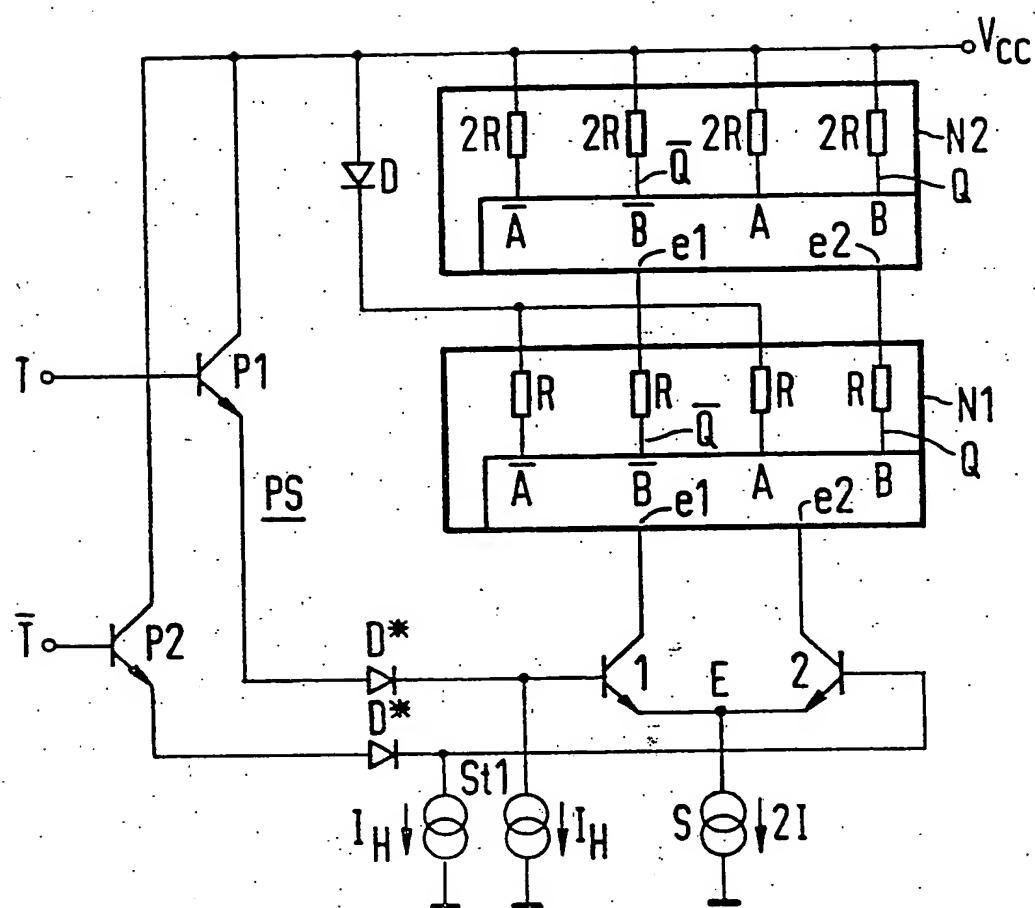


FIG 5

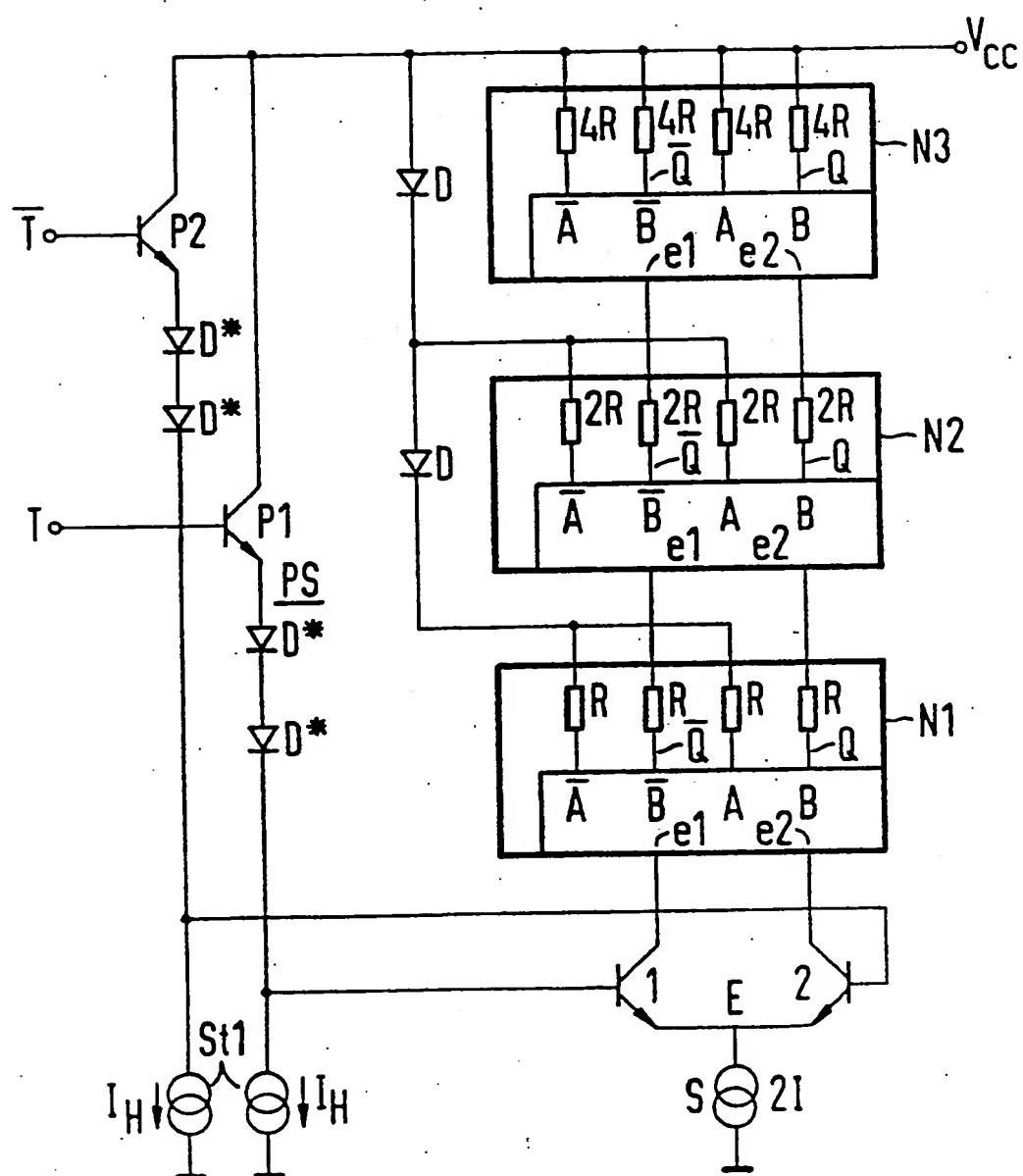


FIG 6

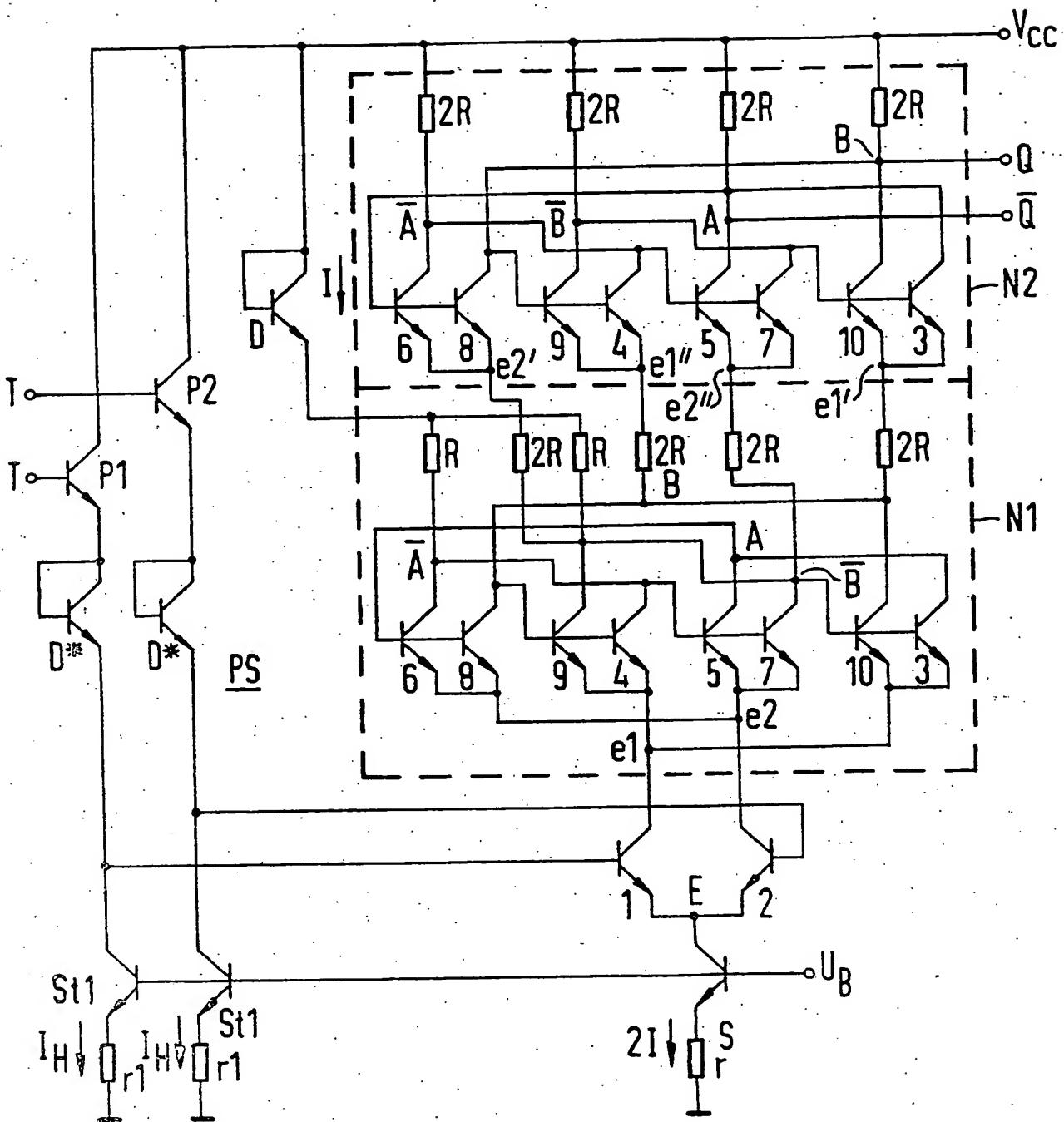


FIG 7

